

98, 14

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-30789

(43) 公開日 平成11年(1999) 2月2日

(51) Int.Cl. ⁸	識別記号	F I
G 0 2 F 1/136	5 0 0	G 0 2 F 1/136 5 0 0
G 0 9 F 9/30	3 3 8	G 0 9 F 9/30 3 3 8
9/35	3 3 5	9/35 3 3 5

審査請求 未請求 請求項の数 3 O L (全 17 頁)

(21) 出願番号 特願平9-184029

(22) 出願日 平成9年(1997) 7月9日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 最首 達夫

神奈川県横浜市磯子区新磯子町33番地 株

式会社東芝生産技術研究所内

(72) 発明者 原 雄二郎

神奈川県横浜市磯子区新磯子町33番地 株

式会社東芝生産技術研究所内

(72) 発明者 藤原 久男

神奈川県横浜市磯子区新磯子町33番地 株

式会社東芝生産技術研究所内

(74) 代理人 弁理士 鈴江 武彦 (外6名)

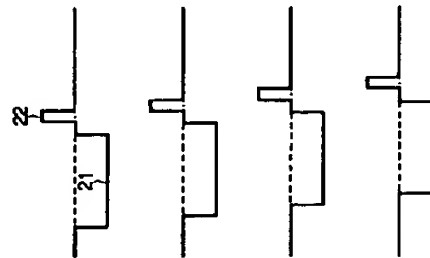
最終頁に続く

(54) 【発明の名称】 液晶表示素子

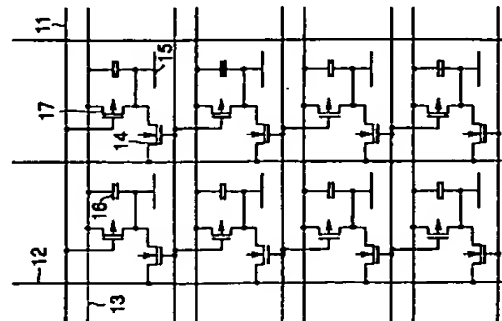
(57) 【要約】

【課題】 強誘電性液晶又は反強誘電性液晶を用いた液晶表示素子において、高コントラスト比が得られ、且つ残像や表示ムラが発生することがない。

【解決手段】 信号線12に信号書込用のnチャネルTFT素子14を介して画素電極15を接続し、画素電極15にリセット用のpチャネルTFT素子17を介して補助容量線13に接続する。



(b)



(a)

【特許請求の範囲】

【請求項1】カイラルスメクティックC相或いはその副次相の液晶材料と薄膜トランジスタを用いたアクティブマトリクス型の液晶表示素子であって、
pチャネル又はnチャネル薄膜トランジスタからなり、信号線と画素電極との間に接続された信号書込用TFT素子と、

この信号書込用TFT素子と異なるチャネルの薄膜トランジスタからなり、前記画素電極と補助容量線との間に接続されリセット用TFT素子とを具備してなることを特徴とする液晶表示素子。

【請求項2】カイラルスメクティックC相或いはその副次相の液晶材料を用いたアクティブマトリクス型の液晶表示素子であって、

第1の走査線と、信号線と画素電極との間に接続され、選択された第1の走査線によって制御される信号書込用スイッチング素子と、

第2の走査線と、前記画素電極と該補助容量との間に接続され、選択された第2の走査線によって制御されるリセット用スイッチング素子とを具備してなることを特徴とする液晶表示素子。

【請求項3】一つ或いは複数の画素行の第2の走査線は、異なる一つ或いは複数の画素行の第1の走査線に直接或いはダイオードを介して接続されていることを特徴とする請求項2に記載の液晶表示素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、強誘電性液晶・反強誘電性液晶を用いた液晶表示素子に関する。

【0002】

【従来の技術】TN液晶を用いたTFT-LCDの応答速度と視野角の改善のため、液晶材料として強誘電性液晶や反強誘電性液晶を用いることがいくつか検討されている。これらの自発分極を有する液晶材料、つまりカイラルスメクティックC相或いはその副次相の液晶材料をアクティブマトリクス型液晶表示素子に適用すると、液晶の応答時間が書込時間より大きい場合に、反電場により保持電圧が低下する現象が起こることが知られている（Hartmann: J. Appl. Phys. 66, 1132 (1989)）。この保持率の低下はいわゆる書込不足であり、実効印加電圧の低下をもたらす、コントラスト比を低下させ実用上大きな問題となる。

【0003】また、印加電圧をフレームごとに極性反転して正負対称のモードで駆動、すなわち交流駆動の場合、あるフレームを境に信号電圧の絶対値が変化した際に、数フレームにわたって明暗を繰り返しながら定常の透過光量に落ち着く現象、いわゆるステップ応答が発生する（Verhulst et al.: IDRC'94digest, 377 (1994)）という問題も知られている。ステップ応答では、ゴーストが尾を引いたような形の残像として認められ実用上問題

となる。

【0004】対称モードではなく非対称モード、すなわち直流駆動の場合、ステップ応答は発生せず、コントラスト比も向上する（Tanaka et al.: SID'94digest, 430 (1994)）。しかし、応答は累積応答的になることから、交流駆動と比較すると画像の応答速度が低下する。この画像の応答速度の低下も1回の書込では書込不足であること、すなわち保持電圧の低下が原因であり、書込時間が短くなるほど応答速度は低下する。直流駆動に於いては、コントラスト比と画像の応答速度とはトレードオフの関係にあり、両者とも十分な値を得るには最適設計が必要になるが、そのマージンは狭い。また、不純物による焼き付きや、残存ヒステリシスによる残像の問題は駆動上の工夫によっても解決しがたい。

【0005】このように、対称モード（交流駆動）及び非対称モード（直流駆動）のいずれのモードにおいても、保持率低下による書込不足が実用上大きな問題を引き起こす原因となる。

【0006】液晶材料の特性面での保持率低下対策としては、応答速度の高速化と自発分極の低減の2つが考えられる。低電圧駆動時や常温よりもやや低い温度範囲においても十分高速で、応答時間が書込時間より短い液晶材料を用いれば上記の問題は解決するが、現状ではその条件を満たす液晶材料は存在しない。また、今後も特に低温域での応答速度の高速化の実現は疑問視されている。

【0007】液晶表示素子は、今後さらなる大画面化・高精細化が求められてくるが、それには必然的に1ライン当たりの書込時間の短縮が伴う。したがって、液晶材料の高速化の限界から上記の問題を解決するのは困難である。

【0008】また、自発分極の低減化は原理的に応答速度の低下を招き、結局のところ上記の問題は解決されない。以上のように、液晶材料による特性改善は、保持電圧低下の問題の対策としては不十分である。

【0009】次に、駆動方法や回路構造の改善による対策を考える。まず、補助容量を増大させるという方法が考えられる。通常のTN液晶を用いたアクティブマトリクス型液晶表示素子の補助容量値は、液晶の充填された画素電極-対向電極間の容量と同程度の値であるが、これを10倍或いはそれ以上に増大させることにより、保持電圧の低下を解決することができる。しかし、液晶材料の応答速度が現状程度に遅い限りステップ応答は解決しない。また、補助容量の増大に伴い電流量もそれに対応して増加するため、消費電力の増加を招き、駆動回路の負担も大きくなる。従って、実用化に適しているとはいえず、用途も限定されたものになってしまう。

【0010】また、別の解決策として、書込直前に0V付近の電圧を書き込み、前に保持している電荷を消去或いは相殺するリセット動作を行う方法が知られている。

TFTまたはTFDを用いたアクティブマトリクス駆動方法では、特開平7-64056に提案がなされているが、これらの方法は書込時間の一部をリセット動作に充てている。このため、ステップ応答は解決するが、ライン数を減らさない限り実質的な書込時間は短くなるため、コントラストの十分な向上は見られない。また、高精細化で書込時間が短くなった場合、書込時間がリセット動作のためにさらに短くなることから、書込不足が深刻になってくる。また、これらの方法では、リセット時間が十分に確保できず、不完全なリセットしか行えないことから、ステップ応答も完全に解消することは不可能である。特に暗状態から明状態に変化したときに、1フレーム目が輝度が高くなりすぎるという問題が残る。

【0011】また、よりリセット時間を十分とり、完全なリセット動作をするためにTFDと信号線を各画素あたり2個有する回路構造も報告されている(Verhulst et al.: IDRC'94digest, 377(1994))。この報告例では、他のラインの書込中にリセット動作を行うことも可能である。しかし、各画素あたりの素子数や配線数が多く、また駆動波形も複雑であり、製造上の歩留まりやコストの点で問題がある。また、TFDでは表示素子全体の素子特性のばらつきが抑えにくいという問題もあり、実用化には不適當である。

【0012】

【発明が解決しようとする課題】上述したように、強誘電性液晶或いは反強誘電性液晶を用いたアクティブマトリクス型液晶表示素子において、従来の液晶材料や駆動方法では、保持電圧の低下により、コントラスト比の低下、或いは画像応答速度低下による残像や表示ムラの発生するという問題があった。

【0013】本発明の目的は、液晶材料として強誘電性液晶・反強誘電性液晶を用いながらも、高コントラスト比で、残像や表示ムラが発生することのない液晶表示素子を提供することにある。

【0014】

【課題を解決するための手段】

【構成】本発明は、上記目的を達成するために以下のように構成されている。

(1) 本発明(請求項1)は、カイラルスメクティックC相或いはその副次相の液晶材料と薄膜トランジスタを用いたアクティブマトリクス型の液晶表示素子であって、pチャネル又はnチャネル薄膜トランジスタからなり、信号線と画素電極との間に接続された信号書込用TFT素子と、この信号書込用TFT素子と異なるチャネルの薄膜トランジスタからなり、前記画素電極と補助容量線との間に接続されたリセット用TFT素子とを具備してなることを特徴とする。

【0015】本発明の好ましい実施態様を以下に示す。
(1-1) 前記信号書込用TFT素子がnチャネル薄膜トランジスタであり、前記リセット用TFT素子がpチャネ

ル薄膜トランジスタである。

【0016】また、本発明の液晶表示素子の好ましい駆動方法を以下に示す。

(1-2) ある画素行の前記信号書込TFT素子のみをオンにするように走査線に電圧を印加して信号書込を行うと同時に、前記画素行とは異なる複数の画素行の前記スイッチング用TFT素子のみをオンにするように走査線に電圧を印加して複数の画素行のリセット動作を行う。

(2) 本発明(請求項2)は、カイラルスメクティックC相或いはその副次相の液晶材料を用いたアクティブマトリクス型の液晶表示素子であって、第1の走査線と、信号線と画素電極との間に接続され、選択された第1の走査線によって制御される信号書込用スイッチング素子と、第2の走査線と、前記画素電極と該補助容量との間に接続され、選択された第2の走査線によって制御されるリセット用スイッチング素子とを具備してなることを特徴とする。

【0017】本発明の好ましい実施態様を以下に示す。

(2-1) 一つ或いは複数の画素行の第2の走査線は、異なる一つ或いは複数の画素行の第1の走査線に接続されている。

【0018】なお、画素行とは、第1の走査線が選択されることによって、同時に信号線から画像信号が書き込まれる画素の集まりのことである。

(2-1.1) 第2の走査線は、ダイオードを介して第1の走査線に接続されている。

(2-1.2) 第2の走査線は、基板上で第1の走査線に接続されている。つまり、駆動ICと接続する第1の走査線の端子のみが基板上に設けられ、第2の走査線の端子は形成されていない。

(2-2) 第1及び第2の走査線及び信号線駆動回路が、アレイ基板上に形成されていることを特徴とする。

(2-3) 第1の走査線と第2の走査線が、アレイ基板端あるいはアレイ基板周辺回路基板端の同じ側あるいは異なる側に設けられた端子から、それぞれ異なる駆動ICに接続されている。

【0019】また、本発明の液晶表示素子の好ましい駆動方法を以下に示す。

(2-4) ある画素行の前記信号書込用スイッチング素子のみをオンにするように前記第1の走査線に電圧を印加して信号書込を行うと同時に、前記画素行とは異なる一つ或いは複数の画素行の前記リセット用スイッチング素子のみをオンにするように第2の走査線に電圧を印加して前記複数の画素行のリセット動作を行う。

【0020】【作用】本発明は、上記構成によって以下の作用・効果を有する。一つの画素電極には、信号書込用スイッチング(TFT)素子とリセット動作用スイッチング(TFT)素子の一端が接続され、他端はそれぞれ信号線と補助容量線に接続されている。二つのスイッチング(TFT)素子は、独立に制御を行うことが可能

5

なので、信号書込動作とリセット動作とを独立に行うことが可能となる。

【0021】従って、信号線と画素電極を接続する信号書込用スイッチング(TFT)によって信号書込を行い、補助容量線と画素電極を接続するリセット用スイッチング(TFT)によってリセット動作を行うことによって、各画素において信号書込前にリセット動作が行われ、前述の解決すべき問題であったコントラスト低下とステップ応答を解消することが可能となる。

【0022】さらに、ある1行の信号書込と同時に、他の数行のリセット動作を行うことにより、さらにリセット効果は高まり、よりコントラストが向上し、ステップ応答を完全に解消することが可能となる。

【0023】なお、画素電極にリセット用スイッチング(TFT)素子を介して補助容量線(補助容量線)に接続する際には、リセットする画素と同一の行あるいは隣接する行のいずれかに属する補助容量線を接続する、あるいは走査線と交差する方向に配線された補助容量線に接続するなどいくつかの方法が考えられる。

【0024】リセット時に補助容量電位をほとんど動かさずに対向電極電位と同電位にして、画素印加電圧を0V付近の電圧にリセットする場合には、リセット用TFTをリセットする画素と隣接する行に属する補助容量線に接続する、或いは走査線と交差する方向に配線された補助容量線に接続することにより開口率を高くすることが可能である場合がある。

【0025】また、リセット時に補助容量電位を動かして、画素への印加電圧を0V以外の電圧、例えば飽和電圧あるいは飽和電圧の1/2付近の電圧にリセットする場合、リセット用TFTを、リセットする画素と同一行に付属する補助容量線に接続することが好ましい。

【0026】以下に、それぞれの発明に特有な作用・効果を示す。

〔構成(1)〕本構成によれば、開口率の低下は、TFT素子1つ分の面積のみであり、従来のように配線を増やす方法に比較し有利である。

【0027】また、移動度の高いnチャネルTFT素子を信号書込用TFT素子として用い、nチャネルTFT素子よりも移動度の低いpチャネルTFT素子をリセット動作用TFT素子に用いるほうが、逆の場合よりも好ましい。すなわち、リセット時間は十分にとることが可能であるのに対し、信号書込時間はライン数により制限される。従って、信号書込用TFT素子は、より書込特性の優れたものを使用した方が好ましい。

【0028】〔構成(2)〕本構成によれば、従来の走査線駆動ICを使用することが可能となるので、コスト上昇がない。

【0029】また、第1の走査線と異なる1行あるいは複数行の第2の走査線を接続することにより、走査線駆動ICに接続される端子数は、第2の走査線を有しない

6

従来の場合と同じとなり、各走査線端子に入力する駆動波形も従来と同じとするだけで自動的にリセット動作を行うことが可能となる。

【0030】また、第2の走査線を連続的に選択される複数行の第1の走査線に接続した場合、従来と同じ駆動波形を印加すると、第1の走査線からの選択信号が連続的に第2の走査線に印加され、自動的に複数ラインの同時リセット動作すなわち十分なリセット時間の確保が可能となる。

10 【0031】また、第1の走査線と複数の第2の走査線をそれぞれダイオードを介して接続することによって、各信号書込みと同時に複数ラインのリセットを完全に独立に行い、表示画像の質を保つことが可能となるさらに、アレイ基板端の1端子から、第1の走査線及び1本あるいは複数本の第2の走査線に分岐されるように回路を構成すれば、周辺回路基板及び走査線駆動ICの両者とも、従来のものが流用可能となり、コスト上昇を全く伴わない。

20 【0032】さらに、ある1行の信号書込と同時に、他の数行のリセット動作を行うことにより、さらにリセット効果は高まり、よりコントラストが向上し、ステップ応答を完全に解消することが可能となる。

【0033】

【発明の実施の形態】本発明の実施の形態を以下に図面を参照して説明する。なお、これらの実施形態は、本発明の理解を容易にする目的で記載されるものであり、本発明の主旨を変えない範囲で種々変更して用いることができる。

30 【0034】先ず、nチャネルTFT素子とpチャネルTFT素子との二つのTFT素子が画素電極に接続されている液晶表示素子の実施形態について説明する。

〔第1実施形態〕液晶表示素子は、TFT素子及び画素電極等が形成されたTFTアレイ基板上に、液晶材料を介して、対向電極が形成されたCF基板が配置されている。

【0035】TFTアレイ基板には、640×480(VGA)の画素がマトリクス状に配列されている。画素は、それぞれ三原色に対応した3つのサブピクセルから構成されている。

40 【0036】図1はTFTアレイ基板上のサブピクセルの構成を示す平面図である。図2(a)はサブピクセル群のうち4行2列部分の等価回路を示す回路図である。走査線11が行方向に形成され、信号線12が列方向に形成されている。また、補助容量線13が行方向に形成されている。

【0037】走査線11にはnチャネルTFT素子14のゲート電極が接続されている。また、信号線12がnチャネルTFT素子14を介して画素電極15に接続されている。

50 【0038】画素電極15が補助容量16を介して補助

容量線13に接続されている。また、画素電極15は、pチャンネルTFT素子17を介して同一行の補助容量線13に接続されている。同じ画素電極15に接続されるnチャンネルTFT素子14と、pチャンネルTFT素子17のゲート電極は、異なる行の走査線11に接続されている。

【0039】なお、各TFT素子の半導体層にはa-Siを使用した。nチャンネル及びpチャンネルTFT素子14、17は、a-Siの初期キャリア濃度と膜厚、或いはゲート絶縁膜の膜厚を適宜調整することにより、両TFT素子14、17のしきい電圧の差が駆動時の信号振幅の2倍より大きくなるように形成した。後述するように本実施形態の駆動系では、信号振幅が±3Vであるため、両TFT素子のしきい電圧の差を6V以上にした。また、pチャンネルTFT素子17のW/LをnチャンネルTFT素子14より大きくした。

【0040】なお、液晶セルは以下の方法により製造した。CF基板はオーバーコート層を有し、対向配置されるTFTアレイ基板の信号線及びTFT素子に対向する部分のITO電極（対向電極）をエッチングによって除去した。さらにITO電極の上に膜厚30nmのSiO₂膜をスパッタリング法によって成膜した。TFTアレイ基板のITO電極（画素電極）及びCF基板のSiO₂層上に、それぞれ液晶配向膜として低プレチルト性のポリイミド膜を成膜した。各基板の配向膜は、セル長手方向に注入方向と逆向きにラビングした。ただし両基板のラビング軸を約10°ずらした。また、セルギャップは、樹脂コートをしたシリカスペーサをTFTアレイ基板とCF基板との間に散布することにより2.0μmとした。

【0041】液晶材料として、自発分極200nC/cm²、応答時間100μs、飽和電圧4Vの無しきい反強誘電性液晶A（三井石油化学社製）を使用した。駆動系は、最大印加電圧±3V、1ラインの選択時間64μsのVGA対応（上下二分割駆動）のものをを用いた。各走査線11に、図2（b）に示した走査線駆動波形を入力した。この波形において、リセット用のpチャンネルTFT素子17をオンするためのリセットパルス21の後、信号書込用のnチャンネルTFT素子14をオンするための信号書込パルス22が出力されている。リセットパルス21は、複数のラインで一部ずつオーバーラップさせ、パルス幅を約300μsとして十分リセット時間を確保した。

【0042】走査線11にリセットパルス21が入力されると、nチャンネルTFT素子14はオフのままで、1行下の画素に接続されたpチャンネルTFT素子17がオンとなる。そして、pチャンネルTFT素子17のオンにより画素電極15が補助容量線13に接続される。そして、補助容量線電位をほとんど動かさずに対向電極電位と同電位にして、画素印加電圧を0V付近の電圧にする

ことによってリセット動作が行われる。

【0043】次いで、信号書込パルス22によって、nチャンネルTFT素子14がオン、pチャンネルTFT素子がオフとなり、信号線12から画素電極15に画像の階調に応じた画像信号を入力することによって画像表示が行われる。

【0044】信号線12から入力される画像信号は対向電極電位を中心に交流とし、各フレームにおいて、各ごとに信号極性を反転させる信号線反転を行って駆動し、画像表示を行った。

【0045】画像表示の結果、コントラスト比は70:1、応答速度は1ms以下が得られ、ステップ応答による残像は認められなかった。

〔第2実施形態〕本実施形態の液晶表示素子は、アレイ基板上に640×480（VGA）の画素が形成されたディスプレイである。

【0046】図3はTFTアレイ上のサブピクセルの構成を示す平面図である。図4（a）はサブピクセル群のうち4行2列部分の等価回路を示す回路図である。図3、4において、図1、2と同一な部分には同一符号を付し、その詳細な説明を省略する。

【0047】本実施形態の特徴は、同じ画素電極15に接続されるnチャンネルTFT素子14と、pチャンネルTFT素子17のゲート電極が同一画素行の走査線11に接続され、画素電極15がpチャンネルTFT素子17を介して同一画素行の補助容量線13に接続されていることである。

【0048】各行の補助容量線13は、通常のように最端部で接続され同一の端子から取り出すのではなく、各行で独立に走査線端子と反対側の基端に設けた端子から取り出される構造とし、各補助容量線13の電位を独立に駆動可能とした。なお、補助容量線13の端子及び走査線11の端子を同じ側から、補助容量線13の群と走査線11の群をそれぞれまとめて取り出し、それぞれ別の駆動回路IC群によって駆動することも可能である。

【0049】なお、各TFT素子、液晶材料及び液晶セルの製造方法は第1実施形態と同じであるので、その説明を省略する。駆動系は、最大印加電圧3V、1ラインの選択時間64μsのVGA対応（上下二分割駆動）のものをを用いた。各走査線11に、図4（b）に例示した走査線駆動波形を入力した。リセットパルス21は、複数画素行で一部ずつオーバーラップさせ、そのパルス幅を約300μsとして十分リセット時間を確保した。

【0050】走査線11にリセットパルス21が入力されると、nチャンネルTFT素子14はオフとなり、pチャンネルTFT素子17がオンとなる。pチャンネルTFT素子17のオンにより画素電極15が補助容量線13に接続される。そして、画素印加電圧を前のフレームの信号極性と逆の極性の飽和電圧の1/2付近の電圧にする

ことによって、リセット動作が行われる。この動作は、補助容量線電位を液晶の飽和電圧の $1/2$ の電圧にシフトさせることによって行われる。

【0051】次いで、信号書込パルス22によって、nチャンネルTFT素子14がオンとなり、信号線12から画素電極15に画像の階調に応じた画像信号を入力されて画像表示が行われる。

【0052】画像信号は対向電極電位を中心に交流とし、各フレームにおいて各行ごとに信号極性を反転させる行反転(H反転)を行って駆動し、画像表示を行った。画像表示の結果、70:1のコントラスト比、1ms以下の応答速度が得られ、ステップ応答による残像は認められなかった。

【0053】[第3実施形態] 本実施形態の液晶表示素子は、アレイ基板上に 640×480 (VGA)の画素が形成されたディスプレイである。

【0054】図5はTFTアレイ上のサブピクセルの構成を示す平面図である。図6(a)はサブピクセル群のうち4行2列部分の等価回路を示す回路図である。なお、図5及び6において、図1及び2と同一な部分には同一符号を付し、その説明を省略する。

【0055】本実施形態の特徴は、同じ画素電極15に接続されるnチャンネルTFT素子14と、pチャンネルTFT素子17のゲート電極は同一画素行の走査線に接続され、画素電極がpチャンネルTFT素子17を介して異なる画素行の補助容量線13に接続されていることである。

【0056】なお、各TFT素子の製造方法は第1実施形態と同じであるので、その説明を省略する。なお、本実施形態の液晶表示素子では、自発分極 100 nC/cm^2 、応答時間 $90 \mu\text{s}$ 及び飽和電圧3Vの歪らせん型強誘電性液晶(DHF液晶)Bを用いた。液晶セルは、TFTアレイ基板とCF基板から構成される通常の製法によるものを用いた。CF基板は、ITO電極(対向電極)が全面に形成されたものを使用し、ITO電極の上に 80 nm の厚さに SiO_2 膜をスパッタ法を用いて成膜した。TFTアレイ基板のITO電極層上及びCF基板の SiO_2 層上に、それぞれ液晶配向膜として低プレチルト性のポリイミド膜を成膜した。ラビング処理、セルギャップ条件等は第1実施形態と同じものとした。

【0057】駆動系は、最大印加電圧 $\pm 3 \text{ V}$ 、1ラインの選択時間 $64 \mu\text{s}$ のVGA対応(上下二分割駆動)のものを用いた。各走査線11に、図6(b)に例示した走査線駆動波形を入力した。リセットパルス21は、複数のラインで一部ずつオーバーラップさせパルス幅を約 $200 \mu\text{s}$ として十分リセット時間を確保した。

【0058】走査線11にリセットパルス21が入力されると、nチャンネルTFT素子14はオフとなり、pチャンネルTFT素子17がオンとなる。pチャンネルTFT素子17のオンにより画素電極15が補助容量線13に

接続される。そして、画素印加電圧を0V付近の電圧にすることによりリセット動作が行われる。この動作は、対向電極電位と同電位に固定することにより行われる。

【0059】次いで、信号書込パルス22によって、nチャンネルTFT素子14がオンとなり、信号線12から画素電極15に画像の階調に応じた画像信号を入力されて画像表示が行われる。

【0060】画像信号は対向電極電位を中心に交流とし、各フレームにおいて各信号線ごとに信号極性を反転させる信号線反転を行って駆動し、画像表示を行った。70:1のコントラスト比及び1ms以下の応答速度が得られ、ステップ応答による残像は認められなかった。

【0061】[第4実施形態] 図7はTFTアレイ上のサブピクセルの構成を示す平面図である。図8(a)はサブピクセル群のうち4行2列部分の等価回路を示す回路図である。

【0062】本実施形態の特徴は、同じ画素電極15に接続されるnチャンネルTFT素子14と、pチャンネルTFT素子17のゲート電極は異なる画素行の走査線11に接続されており、画素電極15がpチャンネルTFT素子17を介して異なる画素行の補助容量線13に接続されていることである。

【0063】各TFT素子の半導体層には、上記実施形態で用いていたa-Siではなく、poly-Siを使用した。nチャンネルTFT素子14及びpチャンネルTFT素子17は、poly-Si層の初期キャリア濃度と膜厚及びゲート絶縁膜の厚さの調整により、両TFTのしきい電圧の差が、駆動時の信号振幅の2倍より大きくなるように作成した。後述するように本実施形態の駆動系では信号振幅が $\pm 3 \text{ V}$ であるため、しきい電圧の差は6V以上にした。液晶材料及びセルの製造方法は第1実施形態と同じとした。

【0064】駆動系は、最大印加電圧 $\pm 3 \text{ V}$ 、1ラインの選択時間 $42 \mu\text{s}$ のXGA対応(上下二分割駆動)のものを用いた。各走査線11に、図8(b)に例示した走査線駆動波形を入力した。リセットパルス21は、複数のラインで一部ずつオーバーラップさせパルス幅を約 $250 \mu\text{s}$ として十分リセット時間を確保した。

【0065】走査線11にリセットパルス21が入力されると、nチャンネルTFT素子14はオフのままで、1行上の画素に接続されたpチャンネルTFT素子17がオンとなる。そして、pチャンネルTFT素子17のオンにより画素電極15が補助容量線13に接続される。

【0066】そして、pチャンネルTFT素子17がオンの時、補助容量線13の電位をほとんど動かさずに対向電極電位と同電位にし、画素印加電圧を0V付近の電圧にすることによって、リセット動作が行われる。

【0067】次いで、信号書込パルス22によって、nチャンネルTFT素子14がオン、pチャンネルTFT素子がオフとなり、信号線12から画素電極15に画像の階

調に応じた画像信号を入力することによって行われる。

【0068】画像信号は対向電極電位を中心に交流とし、各フレームにおいて各画素ごとに信号極性を反転させる画素反転（ドット反転）を行って駆動し、画像表示を行った。

【0069】画像表示の結果、70:1のコントラスト比及び1ms以下の応答速度が得られ、ステップ応答による残像は認められなかった。

【比較例1-1】1画素につき1つのTFT素子及び1本ずつの走査線と信号線を備えた従来型のアレイ構造を用いる他は、第1実施形態と同じ条件のセルを作成した。リセット動作を行わない通常の駆動を行ったところ、コントラスト比は20:1と低下し、ステップ応答による残像が認められた。次に、1ラインの選択時間の前半をリセット動作にあてる駆動を行った。ステップ応答による残像は解消されたが、コントラスト比は25:1程度しか得られなかった。

【0070】【比較例1-2】信号書込用TFT素子としてpチャンネルTFT素子を使用し、リセット用TFT素子としてnチャンネルTFT素子を使用し、pチャンネルTFT素子のW/LをnチャンネルTFT素子より大きくするほかは、第1実施形態と同じアレイ構造・セル構成・回路構成を用いたセルを同じ条件で作成した。第1実施形態と同様の駆動を行ったが、ステップ応答による残像は解消されたものの、コントラスト比は50:1程度しか得られなかった。

【0071】従って、信号書込用TFT素子としてnチャンネルTFT素子を使用し、リセット用TFT素子としてpチャンネルTFT素子を使用することが好ましいことが分かる。

【0072】次いで、信号書込用スイッチング素子とリセット用スイッチング素子との二つのスイッチング素子を有し、それぞれのスイッチング素子が異なる走査線に接続されている液晶表示素子の実施形態について説明する。

【0073】【第5実施形態】本実施形態の液晶表示素子は、1024×768の画素がマトリクス状に配列されたものである（XGA）。

【0074】図9は、本発明の第5実施形態に係わる液晶表示素子のTFTアレイ基板の構成を示す平面図である。また、図10はサブピクセル群のうち3列の部分の等価回路を示している。

【0075】第1の走査線31及び第2の走査線32が行方向に形成され、信号線12が列方向に形成されている。また、補助容量線13が行方向に形成され、端部で共通の補助容量線13に接続されている。

【0076】第1の走査線31が信号書込用TFT素子33のゲート電極に接続されている。また、信号線12が、信号書込用TFT素子33を介して画素電極15に接続されている。

【0077】第2の走査線32がリセット用TFT素子34のゲート電極に接続されている。また、補助容量線13が、リセット用TFT素子34を介して画素電極15に接続されている。また、画素電極15が補助容量16を介して補助容量線13に接続されている。

【0078】第1の走査線31はTFTアレイ基板端から3つの束にまとめて第1の走査線駆動IC41に接続され、第2の走査線32も同様にアレイ基板端から3つの束にまとめて第2の走査線駆動IC42に接続されている。

【0079】信号書込用及びリセット用TFT素子33、34は、チャンネルにa-Si層を用いて作成されている。また、液晶セルは、TFT素子及び画素電極が形成されたTFTアレイ基板と、対向電極が形成されたCF基板とを対向配置し、両者の間に液晶材料を注入して構成される。CF基板はオーバーコート層を有し、アレイ基板の信号線及びTFT素子に対向する部分のITO電極をエッチングによって除去した。さらにITO電極層の上に30nmの厚さにSiO₂膜がスパッタ成膜されている。

【0080】TFT基板のITO電極上及びCF基板のSiO₂層上に、液晶配向膜として低プレチルト性のポリイミド膜をそれぞれ成膜した。各基板の配向膜は、セル長手方向に、注入方向と逆向きにラビングした。ただし両基板のラビング軸は、約10°ずらした。そして、樹脂コートをしたシリカスペーサを散布することによりセルギャップは2.0μmとした。

【0081】液晶材料として、自発分極200nC/cm²、応答時間100μs及び飽和電圧4Vの無しきい反強誘電性液晶A（三井石油化学社製）を使用した。駆動系は、最大印加電圧±5V、1ラインの選択時間42μsのXGA対応（上下二分割駆動）のものをを用いた。図10に示す等価回路の各第1の走査線31に図11に示した駆動波形を入力し、各第2の走査線32に図11に例示した駆動波形を入力した。なお、図11の駆動波形に付記された符号は、図10において符号が付された第1及び第2の走査線31、32に対応している。

【0082】この駆動波形は、リセット用TFT素子34をオンするためのリセットパルス21と、信号書込用TFT素子33をオンするための信号書込パルス22とである。リセットパルス21は、複数のラインで一部ずつオーバーラップさせパルス幅を約300μsとして十分リセット時間が確保されている。

【0083】第2の走査線32にリセットパルス21が入力されると、信号書込用TFT素子33はオフのままで、リセット用TFT素子34がオンとなる。そして、リセット用TFT素子34のオンにより画素電極15が補助容量線13に接続される。そして、補助容量線13の電位をほとんど動かさずに対向電極電位と同電位にし、画素印加電圧を0V付近の電圧にすることによ

10

20

30

40

50

て、リセット動作が行われる。

【0084】次いで、第1の走査線31に入力された信号書込パルス22によって、信号書込用TFT素子33がオン、信号線12から画素電極15に画像の階調に応じた画像信号を入力することによって、画像表示が行われる。

【0085】画像信号は、対向電極電位を中心に交流とし、各フレームにおいて各列ごとに信号極性を反転させる信号線反転を行って駆動し画像表示を行った。補助容量線の電位は、対向電極電位と同じとし一定にした。

【0086】画像表示の結果、70:1のコントラスト比及び1ms以下の応答速度が得られ、ステップ応答による残像は認められなかった。本実施形態の液晶表示素子によれば、第1の走査線と第2の走査線が異なるICによって駆動されるように、第1の走査線と第2の走査線との端子をアレイ基板の同じ側に分離して2系統設けることによって、従来の走査線駆動ICによる駆動が可能になり、コストの上昇を抑えることが可能になる。つまり、表示領域内に第1及び第2の走査線が交互に配置されているので、基板端の同じ側に駆動ICを接続する端子を設けると、端子数の増加による駆動IC数の増加及び従来と異なる仕様の走査線駆動ICが必要となり、コストの上昇を招く。

【0087】なお、二つの端子は、アレイ基板の異なる側に設置、或いは周辺回路によって各端子を2系統に分離しても同様な効果がある。

【第6実施形態】本実施形態の液晶表示素子は、640×480の画素がマトリクス状に配列されたものである(VGA)。

【0088】図12は、本発明の第6実施形態に係わる液晶表示素子の等価回路を示す回路図である。図12において、図11と同一な部分には同一符号を付しその説明を省略する。なお、サブピクセルの構成は第5実施形態と同様なので、その図示を省略する。

【0089】本実施形態の特徴は、第2の走査線32が、バイパス線51を介して3画素行隔てた第1の走査線31に画素領域外において接続されていることである。TFTアレイ基板端には、第1及び第2の走査線31、32に共通の端子が設けられている。すなわち画素行と同数の走査線端子が設けられており、従来の走査線が1系統の液晶表示素子と変わるところがない。

【0090】また、最上部と最下部の画素のない領域には、書込み特性を中央部と同一にする目的で、第1及び第2のダミー走査線35、36が設けられている。最下部の第1の走査線31と最上部の第2の走査線32は、バイパス線51aによって接続されている。また、図13に示す様に、最下部の第1の走査線31と最上部の第2の走査線32を接続せず、最上層の第2の走査線32及び最下層の第1の走査線31をそれぞれ第1及び第2のダミー走査線35、36に接続してもよい。

【0091】なお、アレイ基板端の端子を第1の走査線31と第2の走査線32とで別個に設け、バイパス線51を周辺回路基板上に設けて、駆動ICに接続するという方法をとることも可能であり、表示特性上は上記の例の場合と同じ効果がある。

【0092】さらに、信号線12を中央部において分離した上下2分割駆動の場合には、上下の同じ位置に対応する走査線の端子同士をアレイ基板上あるいは周辺回路上において接続することにより、走査線駆動IC数を半減させることが可能である。

【0093】また、各TFT素子及び液晶セルの製造方法は第5実施形態と同じとした。液晶材料として、自発分極140nC/cm²、応答時間120μs及び飽和電圧6Vの無しき反強誘電性液晶Cを用いた。セル形成後、周辺回路基板を介して走査線群をアレイ基板端から走査線駆動ICに接続した。

【0094】走査線駆動ICは、最大印加電圧±5V、1ラインの選択時間64μsのVGA対応(上下二分割駆動)のものを用いた。各走査線端子に、図14に示す駆動波形を入力して、リセット動作及び書込動作を行った。この波形中のパルス38は、第1の走査線31に接続された信号書込用TFT素子33をオンするためのパルスであると同時に、3画素行隔てた行の第2の走査線32に接続されたリセット用TFT素子34をオンするためのパルスである。

【0095】第2の走査線32に入力されるパルス38は、3画素行隔てた画素の第1の走査線31の書込みパルスと同一であり、そのリセット時間は約64μsである。補助容量線13の電位をほとんど動かさずに対向電極電位と同電位にし、画素印加電圧を0V付近の電圧にすることによって、リセット動作を行った。リセット動作と書込動作との間の約192μs間にも液晶は応答を続け、これによってほぼリセットされる。

【0096】また、信号線から入力される画像信号は対向電極電位を中心に交流とし、各フレームにおいて各列ごとに信号極性を反転させる信号線反転を行って駆動し画像表示を行った。

【0097】画像表示の結果、80:1のコントラスト比及び1ms以下の応答速度が得られ、ステップ応答による残像は認められなかった。また、各行の補助容量線を基板上ですべて接続せずに独立とし、別の端子から取り出して各補助容量線13を独立に駆動できるようにしたアレイ構造を作成した。これ以外の作成条件は上記と同じとし、同様の駆動を行った。ただし、リセット動作は、画素印加電圧を前のフレームの信号極性と逆の極性の液晶の飽和電圧の1/2の電圧にすることによって行った。このリセット動作は、補助容量線の電位を液晶の飽和電圧の1/2の電圧にシフトさせることにより行った。

【0098】画像信号は対向電極電位を中心に交流と

し、各フレームにおいて各行ごとに信号極性を反転させる行反転(H反転)を行って駆動し画像表示を行った。画像表示の結果、80:1のコントラスト比及び1ms以下の応答速度が得られ、ステップ応答による残像は認められなかった。

【0099】本実施形態によれば、第2の走査線が異なる画素行の第1の走査線に接続することによって、従来の駆動ICを用いてリセット動作を行うことができ、コストの上昇を抑えることができる。

【0100】【第7実施形態】本実施形態の液晶表示素子は、640×480の画素がマトリクス状に配列されたものである(VGA)。

【0101】図15は、本発明の第7実施形態に係わる液晶表示素子の等価回路を示す回路図である。図15において、図12と同一な部分には同一符号を付し、その説明を省略する。なお、サブピクセルの構造は第5実施形態と同様なので、その図示を省略する。

【0102】本実施形態の特徴は、4本の第2の走査線32が画素領域外でバイパス線52に接続されており、さらにバイパス線52がそれぞれにダイオード39が介挿された4本のバイパス線53に接続されていることである。そして、同一のバイパス線52に接続する4本のバイパス線53は、連続して信号書込パルスが印加される第1の走査線31に接続されている。

【0103】そして、TFTアレイ基板端には、第1及び第2の走査線31、32の共通の端子が設けられている。すなわち画素行と同数の走査線端子が設けられている点で、従来の走査線が1系統の液晶表示素子と変わるところがない。

【0104】なお、アレイ基板端の端子を第1の走査線31と第2の走査線32で別個に設け、ダイオード39が介挿されたバイパス線52は周辺回路基板上に設けて、駆動ICに接続するという方法をとることも可能であり、表示特性上は上記の例の場合と同じ効果がある。

【0105】また、最上部の第2の走査線32は、バイパス線52aを介して最下部の第1の走査線31に接続されている。また、図16に示すように、最下部の第1の走査線31と、最上部の第2の走査線32を接続せず、最上部の第2の走査線32及び最下部の第1の走査線31をそれぞれ第1及び第2のダミー走査線35、36に接続してもよい。

【0106】各TFT素子の製造方法は第1実施形態と同じとした。液晶材料として、自発分極100nC/cm²、応答時間90μs及び飽和電圧3Vの歪らせん型強誘電性液晶(DHF液晶)Bを用いた。液晶セルは、TFTアレイ基板とCF基板から構成される通常の製法によるものを用いた。CF基板はITOベタ電極を有するものを使用し、ITO電極層の上に80nmの厚さにSiO₂膜をスパッタ成膜した。TFT基板のITO電極層の上及びCF基板のSiO₂層の上に、それぞれ液

晶配向膜として低プレチルト性のポリイミド膜を成膜した。ラビング・セルギャップ条件等は第5実施形態と同じとした。

【0107】駆動系は、最大印加電圧±5V、1ラインの選択時間64μsのVGA対応(上下二分割駆動)のものを用いた。各走査線端子に、図17に示す駆動波形を入力して、リセット動作及び書込動作を行った。

【0108】同一のバイパス線52に接続する4本の第2の走査線32は、バイパス線53を介して、連続してパルス38が入力される4本の第1の走査線31に接続されている。従って、同一のバイパス線52に接続する第2の走査線32には、4つのパルス38が連続して入力される。つまり、4本の第2の走査線32には約256μsのリセットパルスが入力され、4画素行同時にリセット動作が行われる。

【0109】リセット動作は、補助容量線13の電位をほとんど動かさずに対向電極電位と同電位にし、画素印加電圧を0V付近にすることによって行った。リセット動作と書込み動作の間にも液晶は応答を続け、これによってほほリセットされる。

【0110】画像信号は対向電極電位を中心に交流とし、各フレームにおいて各列ごとに信号極性を反転させる信号線反転を行って駆動し、画像表示を行った。表示の結果、70:1のコントラスト比及び1ms以下の応答速度が得られ、ステップ応答による残像は認められなかった。

【0111】本実施形態によれば、第2の走査線が連続して選択され、リセット時間を十分長くとることができる。さらに複数の第2の走査線が異なる画素行の複数の第1の走査線に接続することによって、従来の駆動ICを用いることができる。

【0112】【第8実施形態】本実施形態の液晶表示素子は、640×480の画素がマトリクス状に配列されたものである(VGA)。

【0113】図18は、本発明の第8実施形態に係わる液晶表示素子の等価回路を示す回路図である。図18において、図12と同一な部分には同一符号を付し、その説明を省略する。なお、サブピクセルの構成は第5実施形態と同様なので、その図示を省略する。

【0114】本実施形態の特徴は、第1の走査線31が、ダイオード39が介挿されたバイパス線54を介して、異なる画素行の4本の第2の走査線32に画素領域外で接続されていることである。従って、第2の走査線32には、異なる画素行に属する第1の走査線31が4本接続されている。なお、第2の走査線32に接続されている4本の第1の走査線31は、画像表示の際、連続して選択される。

【0115】アレイ基板端には、第1及び第2の走査線31、32の共通の端子が設けられている。すなわち、TFTアレイ基板上には画素行×2行の走査線が形成さ

れているが、画素行と同数の走査線素子が設けられている点で、従来の走査線が1系統の液晶表示素子と変わるところがない。

【0116】なお、アレ基板端の端子を第1の走査線31と第2の走査線32で別個に設け、ダイオードが介挿されたバイパス線は周辺回路基板上に設けて駆動ICに接続するという方法をとることも可能であり、表示特性上は上記の例の場合と同じ効果がある。

【0117】また、最下部の第1の走査線31と、最上部の第2の走査線32は、それぞれ第1のダミー走査線35と第2のダミー走査線36に接続されている。名TFT素子、液晶材料及びセルの製造方法は第5実施形態と同じとした。

【0118】駆動系は、最大印加電圧 $\pm 5V$ 、1ラインの選択時間 $64\mu s$ のVGA対応(上下二分割駆動)のものをを用いた。各第1の走査線31に図19に示した走査線駆動波形を入力した。

【0119】第1の走査線31にパルス(パルス幅 $64\mu s$)38が入力されると、バイパス線54を介して接続された4本の第2の走査線32にもパルス38が入力される。従って、第2の走査線32には、バイパス線54を介して接続された4本の第1の走査線31から連続してパルス38が入力されるので、パルス幅 $256(=64\mu s \times 4)\mu s$ のパルスが入力され、リセット動作が行われる。また、リセットパルスと書込みパルスが入力される間にも液晶は応答を続けることによってほほリセットされる。

【0120】リセット動作は、補助容量線13の電位をほとんど動かさずに対向電極電位と同電位にし、画素印加電位を0V付近にすることによって行った。書込動作の際、画像信号は対向電極電位を中心に交流とし、各フレームにおいて名画素ごとに信号特性を反転させる画素反転(ドット反転)を行って駆動し、画像表示を行った。補助容量線13の電位は、対向電極電位と同じとし一定にした。

【0121】画像表示の結果、80:1のコントラスト比及び1ms以下の応答速度が得られ、ステップ応答による残像は認められなかった。次に、画素数を 1024×768 (XGA)に変更し、スイッチング用及び信号書込用TFT素子をpoly-Si層を使用したものに変更した。回路構成は上記の実施例と同じとしたが、上記の実施例における周辺回路及び駆動ICはすべてアレ基板上に設置した。液晶材料及びセル作成方法等、その他の点は上記実施形態と同じとした。

【0122】駆動系は、最大印加電圧 $\pm 5V$ 、1ラインの選択時間 $42\mu s$ のXGA対応(上下二分割駆動)のものをを用いた。等価回路の各走査線31に、図19に例示した走査線駆動波形を入力し、書込及びリセット動作を行った。

【0123】XGAの場合、リセットパルス幅約168

μs となりVGAの場合に比べてリセット時間が短くなるが、リセットと書込みの間にも液晶は応答を続けることによってほほリセットされた。

【0124】画像表示の結果、コントラスト比は70:1、応答速度は1ms以下が得られステップ応答による残像は認められなかった。本実施形態によれば、リセット動作と信号書込動作との間隔が同一であり、画素によらずリセット動作後の液晶の応答が均一になる。また、周辺回路基板を使用せず、アレ基板上に回路を設けたことによって駆動回路部分を簡略化することが可能となる。

【0125】[比較例2-1] 1画素につき1つのTFT素子及び1本ずつの走査線と信号線を備えた従来型のアレ構造を用いる他は、第5実施形態と同じ条件でセルを作成した。リセット動作を行わない通常の駆動を行ったところ、コントラスト比が20:1に低下し、ステップ応答による残像が認められた。

【0126】次いで、1ラインの選択時間の前半をリセット動作にあてる駆動を行った。ステップ応答による残像は解消されたが、コントラスト比は25:1程度しか得られなかった。

【0127】[比較例2-2] 第1の走査線と第2の走査線のアレ基板端の端子を同一とせず別個に設け、周辺回路基板上でも両走査線を接続することなく、そのまま駆動ICに接続するほかは、第6実施形態と同じアレ構造・セル構成・回路構成を用い、同じ条件でセルを作成した。第6実施形態と同様の駆動を行ったところ、ステップ応答による残像は解消され、70:1のコントラスト比が得られた。同様に第7及び第8実施形態についても上記と同じ変更をおこなう以外は同じ条件で画像表示を行ったところ、同様の結果が得られた。

【0128】しかし、騒動ICの仕様が従来と異なり従来ICを利用できず、駆動波形も異なるなど、専用の駆動回路系・ICを開発する必要が生じ、さらに必要IC数も増加することにより、コストが増加することが判明した。

【0129】なお、本発明は、上記実施形態に限定されるものではない。例えば、補助容量線の電位を対向電極電位と同電位、且つ一定にしてリセット動作を行う場合には、従来と同じように走査線と並列に配線することも、走査線と交差するよう配線することも可能である。

【0130】また、第5～第8実施形態では、TFT素子以外にも、TFD、MIM等のスイッチング素子を用いることも可能である。その他、本発明は、その要旨を逸脱しない範囲で、種々変形して実施することが可能である。

【0131】

【発明の効果】以上説明したように本発明によれば、リセット用と信号書込用の二つのスイッチング(TFT)素子を具備し、リセット動作と信号書込動作を同時に行

うことによって、実効印加電圧の低下を防止し、「ステップ応答」による残像が解消され、より低電圧で高コントラストが得られる。

【図面の簡単な説明】

【図 1】第 1 実施形態に係わる液晶表示素子のアレイ基板を示す平面図。

【図 2】第 1 実施形態に係わる液晶表示素子の等価回路及び入力波形を示す図。

【図 3】第 2 実施形態に係わる液晶表示素子のアレイ基板を示す平面図。

【図 4】第 2 実施形態に係わる液晶表示素子の等価回路及び入力波形を示す図。

【図 5】第 3 実施形態に係わる液晶表示素子のアレイ基板を示す平面図。

【図 6】第 3 実施形態に係わる液晶表示素子の等価回路及び入力波形を示す図。

【図 7】第 4 実施形態に係わる液晶表示素子のアレイ基板を示す平面図。

【図 8】第 4 実施形態に係わる液晶表示素子の等価回路及び入力波形を示す図。

【図 9】第 5 実施形態に係わる液晶表示素子のアレイ基板を示す平面図。

【図 10】第 5 実施形態に係わる液晶表示素子の等価回路を示す図。

【図 11】第 5 実施形態に係わる液晶表示素子への入力波形を示す図。

【図 12】第 6 実施形態に係わる液晶表示素子の等価回路を示す図。

【図 13】第 6 実施形態に係わる液晶表示素子の等価回路を示す図。

【図 14】第 6 実施形態に係わる液晶表示素子への入力波形を示す図。

【図 15】第 7 実施形態に係わる液晶表示素子の等価回路を示す図。

【図 16】第 7 実施形態に係わる液晶表示素子の等価回路を示す図。

【図 17】第 7 実施形態に係わる液晶表示素子への入力波形を示す図。

【図 18】第 8 実施形態に係わる液晶表示素子の等価回路を示す図。

10 【図 19】第 8 実施形態に係わる液晶表示素子への入力波形を示す図。

【符号の説明】

1 1 …走査線

1 2 …信号線

1 3 …補助容量線

1 4 …信号書込用 n チャネル TFT 素子

1 5 …ITO 画素電極

1 6 …補助容量

1 7 …リセット用 p チャネル TFT 素子

2 1 …リセットパルス

20 2 2 …信号書込パルス

3 1 …第 1 の走査線

3 2 …第 2 の走査線

3 3 …信号書込用 TFT 素子

3 4 …リセット用 TFT 素子

3 5 …第 1 のダミー走査線

3 6 …第 2 のダミー走査線

3 7 …バイパス線

3 8 …選択パルス

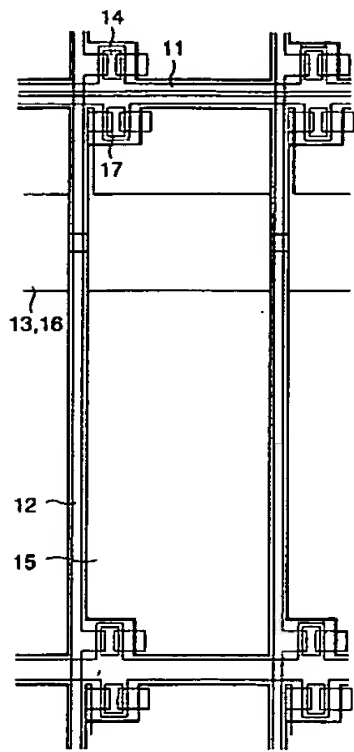
3 9 …ダイオード

30 4 0 …バイパス線

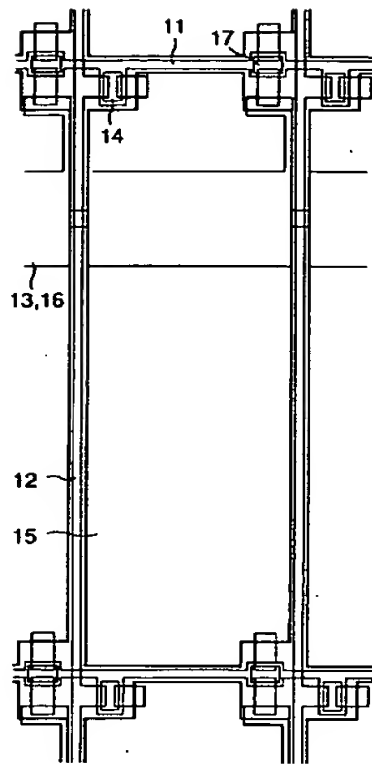
4 1 …第 1 の走査線駆動 IC

4 2 …第 2 の走査線駆動 IC

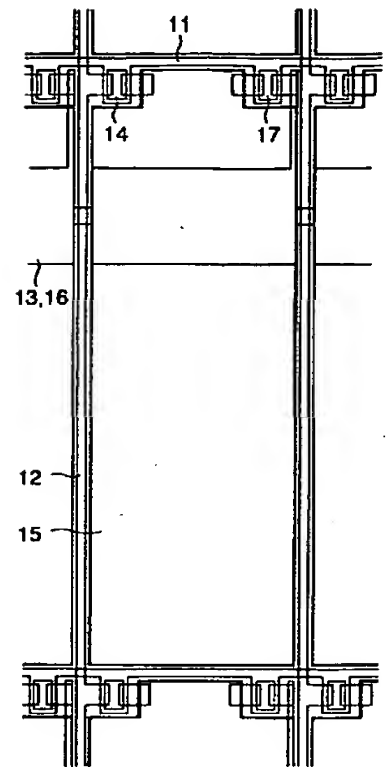
【図1】



【図7】

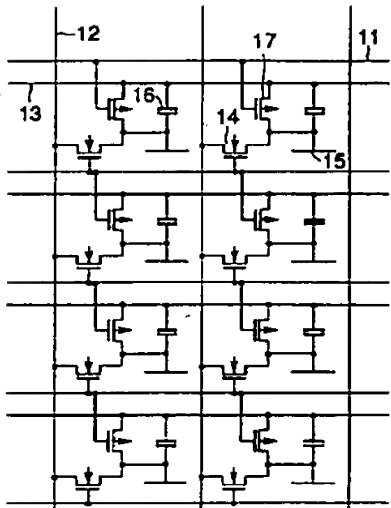


【図3】

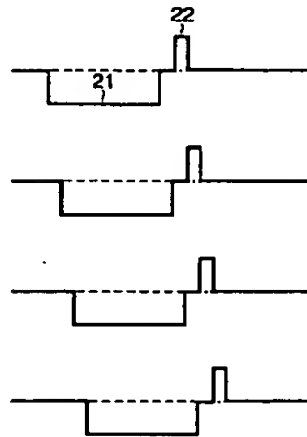


【図2】

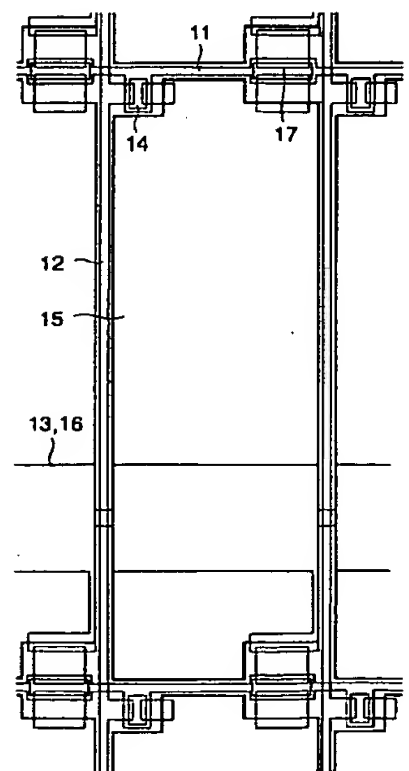
(a)



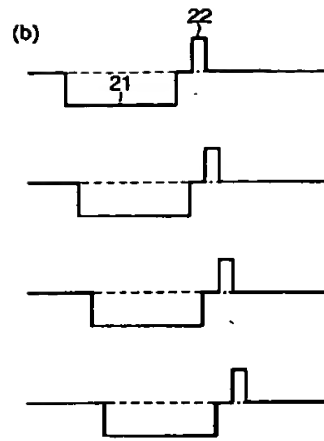
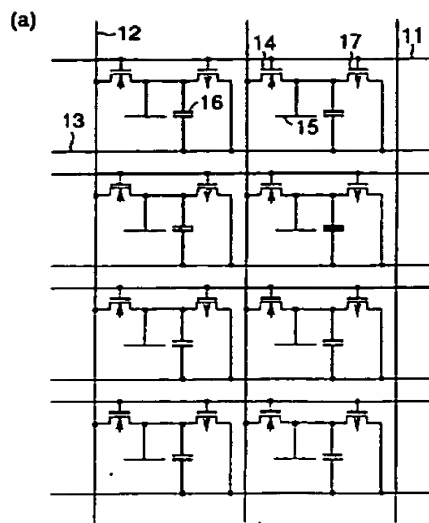
(b)



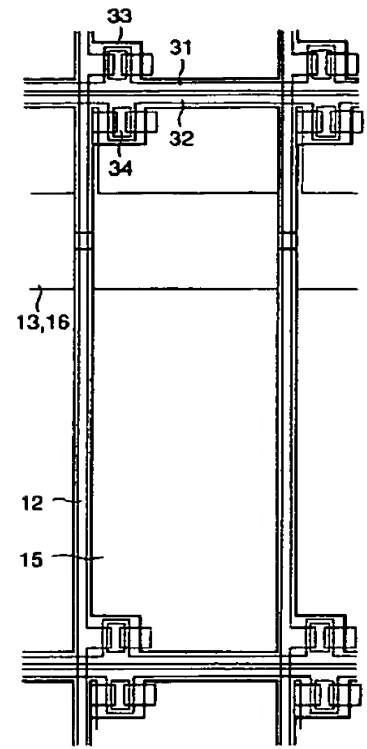
【図5】



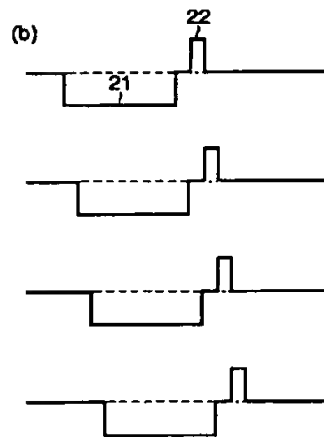
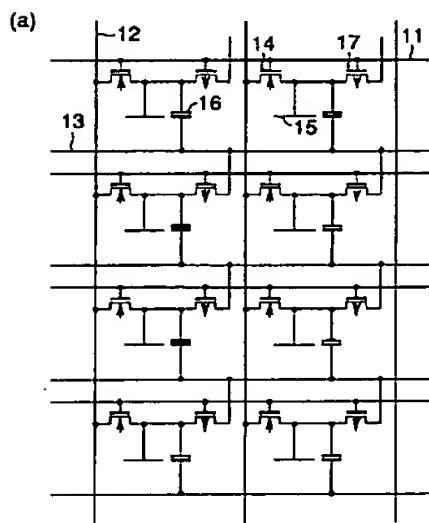
【図 4】



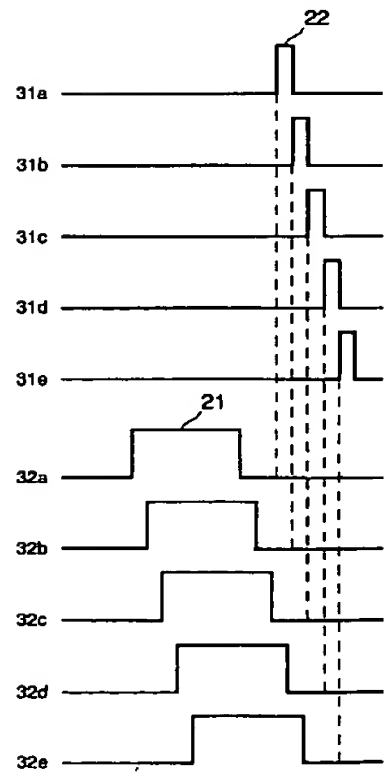
【図 9】



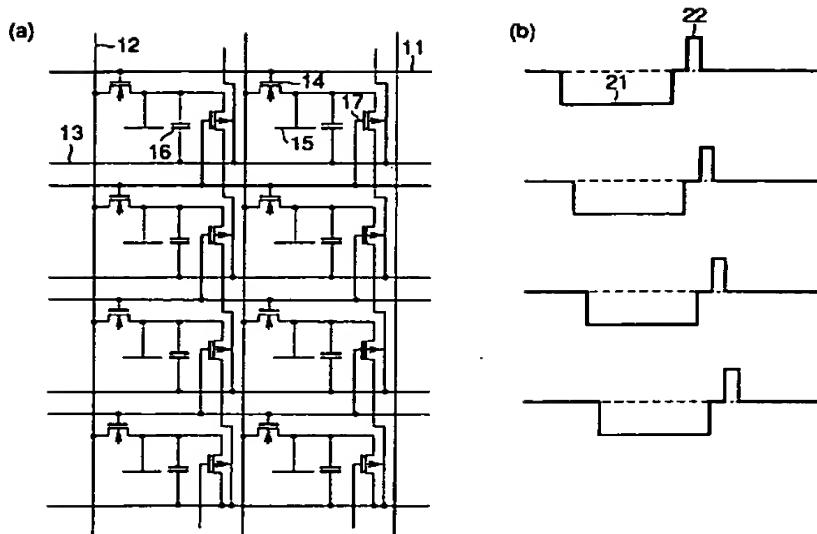
【図 6】



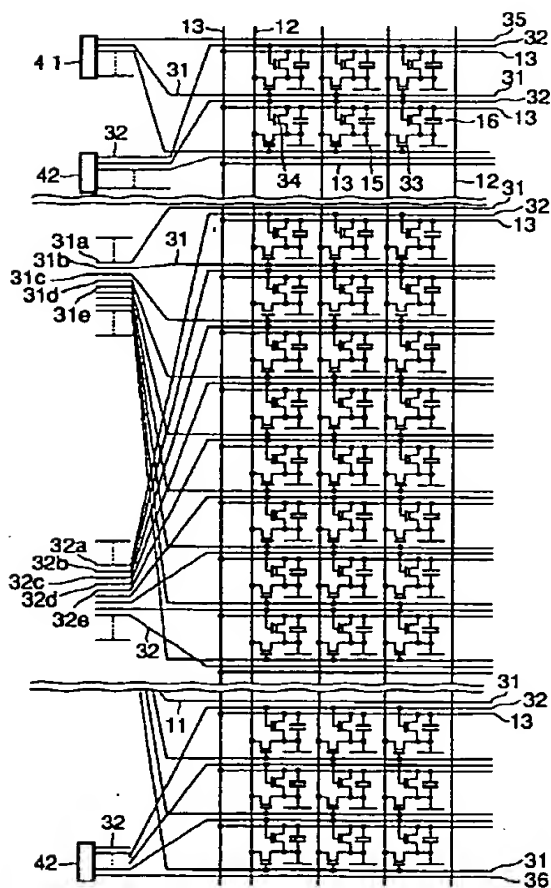
【図 11】



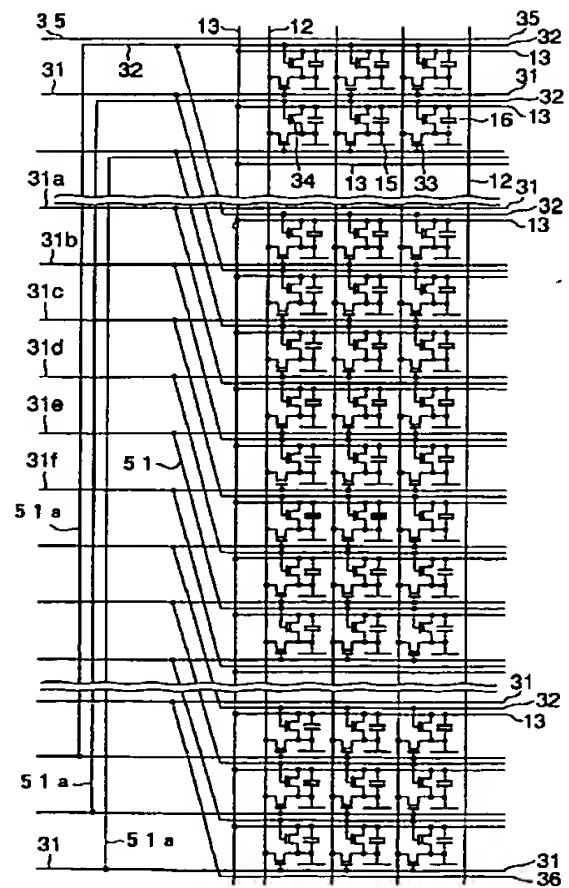
【図 8】



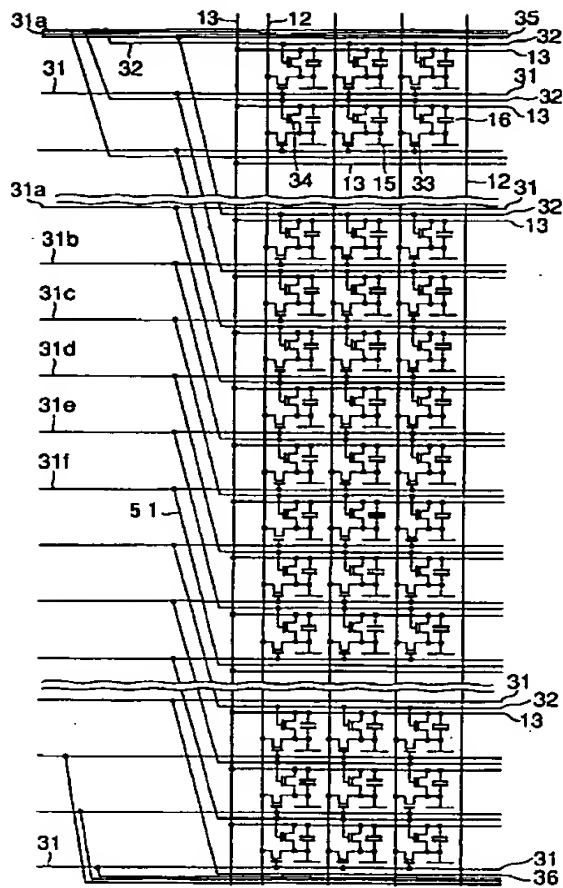
【図 10】



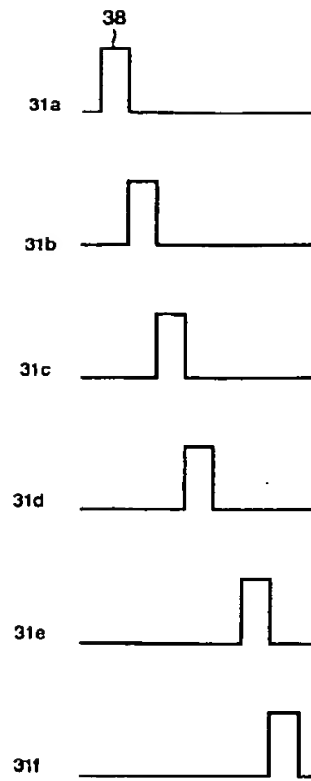
【図 12】



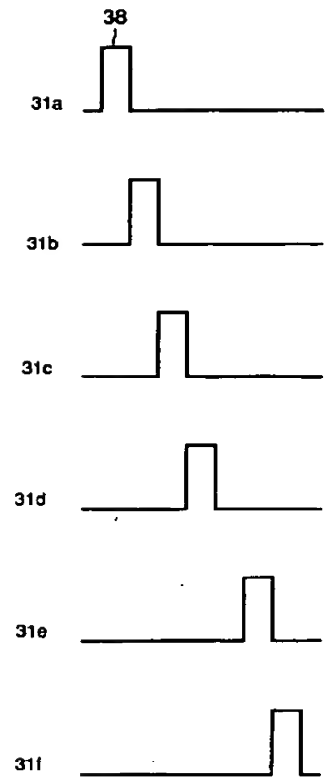
【図 13】



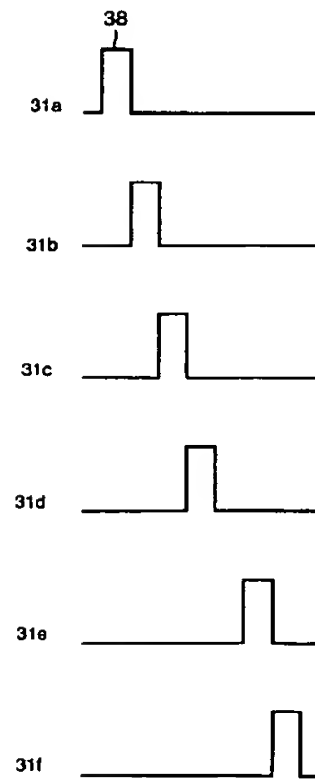
【図 14】



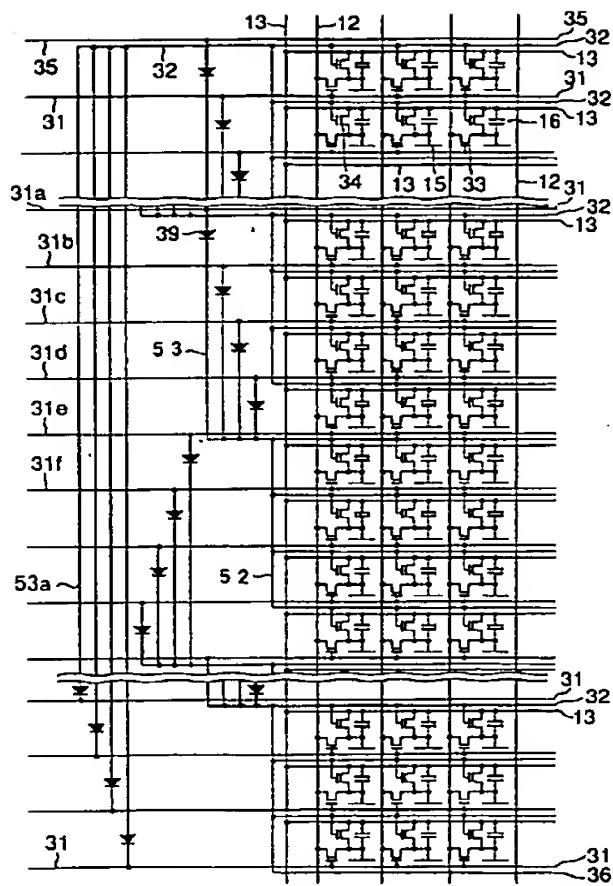
【図 17】



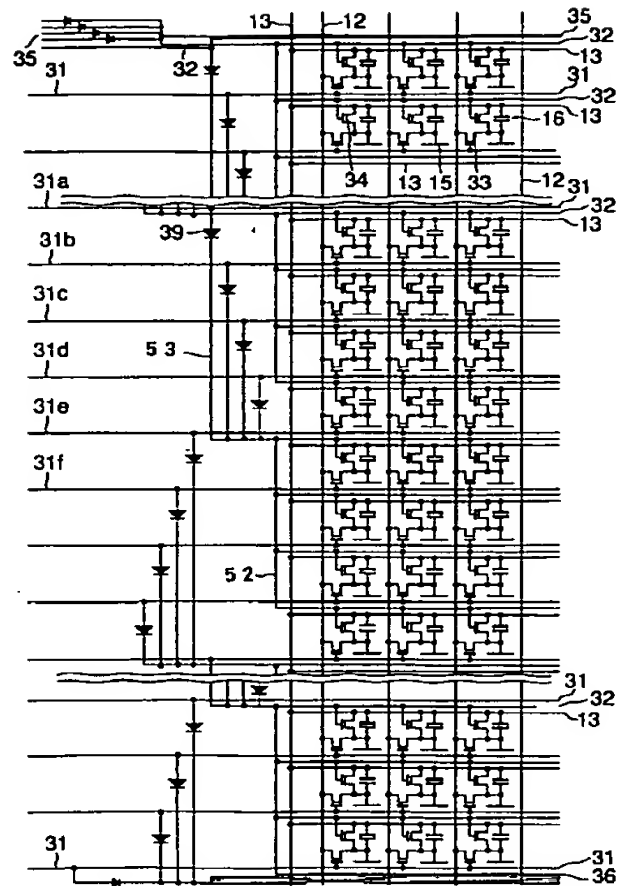
【図 19】



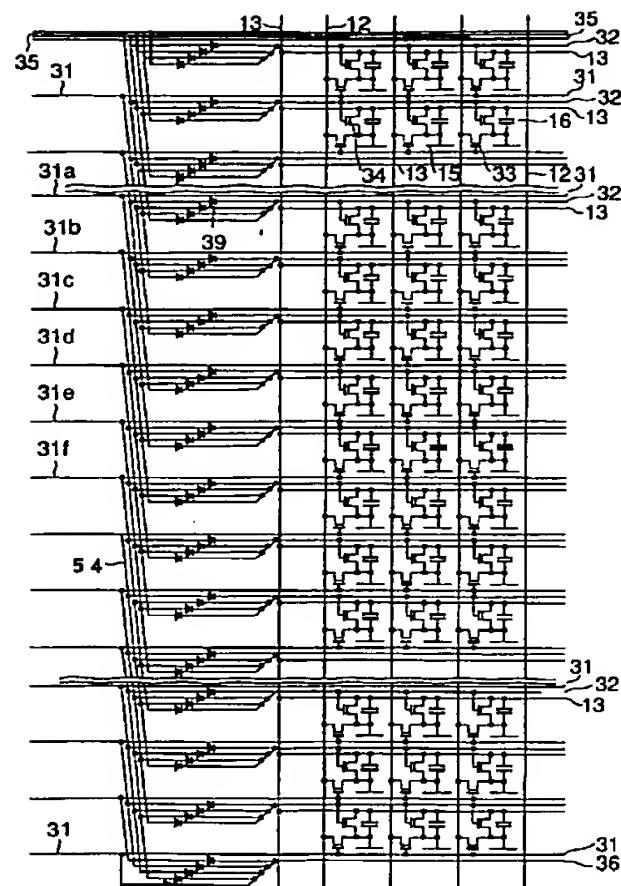
【図15】



【図16】



【図18】



フロントページの続き

(72)発明者 飯田 理恵子
 神奈川県横浜市磯子区新磯子町33番地 株
 式会社東芝生産技術研究所内